

Patent Abstracts of Japan

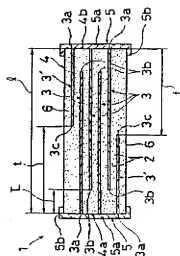
PUBLICATION NUMBER : 02260605
 PUBLICATION DATE : 23-10-90
 APPLICATION DATE : 31-03-89
 APPLICATION NUMBER : 01082637

APPLICANT : MURATA MFG CO LTD;

INVENTOR : SAKABE YUKIO;

INT.CL. : H01C 7/10

TITLE : LAMINATION TYPE VARISTOR



ABSTRACT : PURPOSE: To prevent a leakage current and the lowering of withstand surge voltage, and to improve the reliability of quality by a method wherein the gap of the inner electrode located on both outermost layer of a laminated body is made large than the gap of the other inner electrode.

CONSTITUTION: One edge face 3a of inner electrodes 3 and 3' is alternately exposed to both edge faces 4a and 4b of a sintered body 4 and connected to outer electrodes 5. Besides, other edge face 3b of the electrode 3 is positioned by providing a gap T which is separated a little from both edge faces 4a and 4b. The gap (t) formed between the other edge face 3c and both right and left edge faces 4a and 4b of the top part and the bottom part located on the outermost layer, is formed larger than the gap T. To be more precise, the length from one edge face 3a to the other edge face 3c of the top part and the bottom part of the electrode 3' is formed a little shorter than one half of the length L of the sintered body 4. As a result, the other edge face 3c of the electrode 3' located at the top part and the bottom part is constructed in such a manner that it is widely separated from the circumferential part 5b of an electrode 5 opposing to the edge face 3c, and the lowering of withstand surge voltage can be prevented.

COPYRIGHT: (C)1990,JPO&Japio

⑥ 公開特許公報(A) 平2-260605

⑪ Int. Cl.

H 01 C 7/10

識別記号

庁内整理番号

7048-5E

⑫ 公開 平成2年(1990)10月23日

審査請求 未請求 請求項の数 1 (全5頁)

⑬ 発明の名称 積層型バリスタ

⑭ 特 願 平1-82637

⑮ 出 願 平1(1989)3月31日

⑯ 発 明 者 平 浩 明 京都府長岡京市天神2丁目26番10号 株式会社村田製作所内
 ⑯ 発 明 者 中 村 和 敬 京都府長岡京市天神2丁目26番10号 株式会社村田製作所内
 ⑯ 発 明 者 米 田 康 信 京都府長岡京市天神2丁目26番10号 株式会社村田製作所内
 ⑯ 発 明 者 坂 部 行 雄 京都府長岡京市天神2丁目26番10号 株式会社村田製作所内
 ⑰ 出 願 人 株式会社村田製作所 京都府長岡京市天神2丁目26番10号
 ⑱ 代 理 人 弁理士 下 市 努

明 細 書

(従来の技術)

1. 発明の名称

積層型バリスタ

2. 特許請求の範囲

(1) バリスタ機能を発現するセラミクス層と内部電極とを、該内部電極の一端面が上記セラミクス層の端面に露出し、他端面がギャップを開けて上記セラミクス層の内方に位置するように交互に積層して積層体を形成し、該積層体の両端面及びこれに続く周面部分に、上記各内部電極の一端面が露出される外部電極を形成してなる積層型バリスタにおいて、上記積層体の両側外周に位置する内部電極の上記ギャップを他の内部電極のギャップより大きくしたことを特徴とする積層型バリスタ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、電圧非直線性抵抗として機能する積層型バリスタに関し、特にそれ電流、サージ耐量の下下を防止できるようにした構造に関する。

一般にバリスタは、印加電圧に応じて抵抗値が非直線的に変化する抵抗性素子であり、電子回路に過電圧が加わるのを防止するサージ吸収素子として採用されている。このようなバリスタとして、従来の、ZnO等のセラミクス酸化物からなる円板状の焼結体の両主面に電極層を形成し、該電極層にリード端子を接続するとともに、上記焼結体の外表面に絶縁樹脂層をデブ加工してなるディスク型バリスタがある。

ところで、近年の電子回路における動作電圧の低下にともない、しきい値電圧の低いバリスタが要求されている。しかし、上記従来のディスク型バリスタでは、他の特性を犠牲にすることなくしきい値電圧を50V以下にすることは困難である。即ち、上記ディスク型バリスタのしきい値電圧を低くするには、セラミクス酸化物の焼成温度を高くして粒子径を大きくするか、あるいは焼結体の厚さを薄くする方法があるが、焼成温度を高くするとZnOや添加物が蒸発し易く、また厚さを薄く

くすると強度が低下して加工できず、これらが目的達成の障害となっている。

そこで、低いしきい値電圧が得られるバリスタとして、従来、第5図に示すような直方体状の積層型バリスタが提案されている(例えば特公昭58-23921号公報参照)。この積層型バリスタ20は、セラミクス層21と内部電極22とを、該内部電極22の一端面22aが外部に露出するとともに、他端面22bがギャップ丁を開けて内方に位置するように交互に積層して一体焼結するとともに、焼結結体23の左、右端面23a、23bに上記内部電極22が接続される外部電極24を形成して構成されている。なお、この外部電極24は、焼結結体23の左、右端面23a、23bを覆う端面部24aと、これに続いて焼結結体23の端面周面を覆う周面部24bとからなり、焼結結体23の左、右端面を包んでいる。

この積層型バリスタ20によれば、内部電極22と厚さの薄いセラミクス層21とを積層し、これを圧着した後一体焼結することから、強度、加

工上の問題が生じることはなく、しかも内部のセラミクス層21は最上部、最下部に置かれた同一組成物となるダミー層25により挟まれた構造であるから、高温焼成時におけるその膨張の発生を防止でき、その結果しきい値電圧の安定化の要求に応えられる。

(発明が解決しようとする問題点)

しかしながら、上記従来の積層型バリスタ20においては、内部のセラミクス層21からの組成物の蒸発は防止できるものの、上、下部のダミー層25における外部電極24の周面部24b付近でもれ電流が生じ、場合によってはサージ印加時に破壊するおそれがあるという問題点がある。

これは以下の理由によるものと考えられる。即ち、電流は上記内部電極22に挟まれたセラミクス層21間だけに流れるのが正常であり、上記ダミー層25はセラミクス層21の上、下面を囲むのが目的であるから、この部分には本来電流が流れることはない。しかし上記ダミー層25の一端部分は、上記外部電極24の周面部24bと、最

上部、最下部の内部電極22の他端面22bとで挟まれた構造となっていることから、このダミー層25の一端部にも内部電極22間のセラミクス層21と略同じ電圧がかかる。しかもこのダミー層25は外表面に位置することから焼成時に添加物が蒸発し、組成的に他の部分より劣っており、さらにこの部分は電気力線が集中し易くなっている。その結果、通常作動時にれ電流が流れ易くなり、サージ耐量が低下してサージ印加時に破壊し易いものと考えられる。

本発明の目的は、上記ダミー層の一端部に生じるもれ電流及びサージ耐量の低下を防止できる積層型バリスタを提供することにある。

(問題点を解決するための手段)

そこで本発明は、セラミクス層と内部電極とを、該内部電極の一端面が外部に露出し、他端面がギャップを開けて内方に位置するように交互に積層して積層体を形成し、該積層体の両端面及びこれに続く周面部に外部電極を形成してなる積層型バリスタにおいて、上記積層体の両最外層に位置

する内部電極のギャップを他の内部電極のギャップより大きくしたことを特徴としている。

ここで、上記最外層の内部電極のギャップを他の内部電極のギャップより大きくすると、最外層の内部電極の一端面から他端面までの長さを短くすることであり、該長さは積層体の長さの1/2を越えないようにするのが好ましい。

(作用)

本発明に係る積層型バリスタによれば、最外層の内部電極のギャップを他のギャップより大きくしたので、ダミー層の成分が焼成時に蒸発して組成変化を生じて、また電気力線が集中しても、上記内部電極の他端面と外部電極の周面部との距離は大きく離れているから、十分な絶縁抵抗があり、その結果もれ電流の発生、及びサージ耐量の低下を防止できる。

(実施例)

以下、本発明の実施例を図について説明する。第1図ないし第3図は本発明の一実施例による積層型バリスタを説明するための図である。

図において、1は本実施例の積層型バリスタであり、このバリスタ1は直方体状のもので、バリスタ機能を発現するZnO系セラミクス層2と、Pにからなる内部電極3'又は3とを交互に積層して積層体を形成するとともに、該積層体の上面、下面に上記バリスタ層2と同一組成からなるダミー層5を重ね、これを一体焼成してなる焼結体4の左、右端部分にA_g/Pdからなる外部電極5を形成して構成されている。この外部電極5は、上記焼結体4の左、右端面4a、4bを覆う端面部5aと、これに続いて焼結体4の左、右端の周面を覆う周面部5bとからなり、焼結体5の左、右端を包んでいる。

また、上記内部電極3'、3の一端面3aは互い違いに上記焼結体4の両端面4a、4bに露出して上記外部電極5に接続されている。さらに、上記内部電極3の他端面3bは互い違いに上記焼結体4の両端面4a、4bから少し離れたギャップTを開けて内方に位置しており、これにより上記内部電極3の一端面3a以外の端面は焼結体4

形成する。このグリーンシートを所定の大きさの矩形状に切断して、多数の矩形状セラミクス層2を形成する。

④ 次に第3図に示すように、上記各セラミクス層2の上面に、Pにビヒクルを混合してなるペーストを印刷して内部電極3'、3を形成する。この場合、各内部電極3'、3の一端面3aが、交互にセラミクス層2の左、右端面2a、2bに露出するようにし、また最上層及び最下層に位置する内部電極3'以外の、各内部電極3の他端面3bが、交互にセラミクス層2の左、右端面2a、2bからギャップTを設けて内側に位置するようにする。そして、上記最上層及び最下層に位置する内部電極3'の他端面3cが、それぞれセラミクス層2の左、右端面2a、2bからギャップTを設けて略中央部に位置するように形成する。

⑤ 次に、セラミクス層2と内部電極3'又は3とが交互に重なるように、かつ積内部電極3'、3の一端面3aが交互に位置するように順次積層し、さらにこの積層体の上面、下面にダミー層6

内に埋設されている。

そして、上記焼結体4の最上層に位置する最上層及び最下層の内部電極3'の他端面3cと焼結体4の左、右端面4a、4bとのギャップTは、上記ギャップTより大きく形成されている。即ち、上記最上層及び最下層の内部電極3'の一端面3aから他端面3cまでの長さは上記焼結体4の長さLの1/2より若干短く形成されている。これにより、上記最上、下部の内部電極3'の他端面3cはこれと対向する上記外部電極5の周面部5bから大きく離れた構造となっている。

次に本実施例の積層型バリスタ1の製造方法について説明する。

① まず、ZnO (95.0mol%)、CoO (1.0mol%)、MnO (1.0mol%)、Sb₂O₃ (2.0mol%)、Cr₂O₃ (1.0mol%)を混合してなるセラミクス材料に、B₂O₃、SiO₂、PbO、ZnOからなるガラス粉末を10wt%加えて原料とし、これに有機バインダーを混合して、ドクターブレード法によりグリーンシートを

を重ね、これをプレスで加圧、圧着して積層体を形成する。するとこれにより、各内部電極3'、3の一端面3aのみが積層体の左、右端面に露出されていることとなる。

② そして、上記積層体を真空中にて1200℃×3時間で加熱焼成し、焼結体4を得る。しかる後、上記焼結体4の内部電極3の一端面3aが露出された左、右端面4a、4bに、A_gを主体としてPdを添加してなるペーストを塗布した後焼き付けて外部電極5を形成する。これにより、本発明の積層型バリスタ1が製造される。

次に本実施例の作用効果について説明する。

本実施例の積層型バリスタ1によれば、最上層及び最下層の内部電極3'の長さLを焼結体4の長さLの1/2以下になるようにして、上記内部電極3'の他端面3cと焼結体4の左、右端面4a、4bとのギャップTを他のギャップTより大きくしたので、上記焼成の際にダミー層6の成分が蒸発して気泡を生じても、上記内部電極3の他端面3cと外部電極5の周面部5bとは距離が

大きく離れているから、もれ電流、サージ耐量の低下を防止でき、ひいては消費電力、熱暴走を回避でき、サージ印加時の破壊を回避できる。

表は本実施例の効果を確認するために行った特性試験の結果を示す。

この試験では、本実施例の製造方法により作成した積層型パスタを、それぞれ40,60,100Aの波高値を持つ8×20μsec 衝撃電流を5分間隔で印加し、この1時間後に測定した $V_{1.0A}$ が初期値に比べてどれだけ変化しているかを調べた。また、もれ電流は $V_{1.0A}$ の50%の電圧で測定した。なお、比較のため従来の同一長さの内部電極からなる積層型パスタ(第5図の構造のもの)についても同様の測定を行った。

同表からも明らかなように、従来の場合は、衝撃電流印加した後の $V_{1.0A}$ 変化率は40Aで-15%, 60Aで-40%と低下しており、100Aでは破壊している。また、もれ電流も0.15μAと大きい。これに対して、本実施例試料の場合は、 $V_{1.0A}$ の変化率が40Aで-2%, 60Aで-3%, 100Aで-35%

と従来の試料に比べて小さくなっており、サージに対して強いことがわかる。また、もれ電流は従来の試料にくらべて1/3の0.05μAとなっており、大きく低減できている。さらに非直線係数 α も31から35へと改善されている。

第4図は上記実施例の変形例を示し、図中、第1図と同一符号は同一又は相当部分を示す。この積層型パスタ1は、最上層及び最下部の内部電極8の左、右外端部8aを焼結体4の左、右端面4a, 4bに露出させ、これの内端面8b同士の間には隙間を設けて上記内部電極8を2分割し、これにより積内端面8bと対向する焼結体4の左、右端面4a, 4bとの間に他のギャップ7により大きいギャップ6を形成した例である。この場合においても、もれ電流、サージ耐量の低下を回避でき上記実施例と同様の効果が得られる。また、この構造によれば、内部電極の印刷及び積層作業性を向上できる効果を得られる。

(発明の効果)

以上のように本発明に係る積層型パスタによ

れば、両層外層に位置する内部電極の他端面と積層体とのギャップを他のギャップより大きくしたので、もれ電流、サージ耐量の低下を回避でき、品質の信頼性を向上できる効果がある。

	$V_{1.0A}$ (V)	α	$\Delta V_{1.0A}$ (%)			もれ電流 (μA)
			40A	60A	100A	
本実施例試料	10.5	35	-2	-9	-35	0.05
従来の試料	10.2	31	-15	-40	破壊	0.15

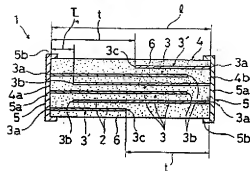
4. 図面の簡単な説明

第1図ないし第3図は本発明の一実施例による積層型パスタを説明するための図であり、第1図は第2図の1-1線断面図、第2図はその斜視図、第3図はその分解した状態の平面図、第4図は上記実施例の変形例を示す断面図、第5図は従来の積層型パスタを示す断面図である。

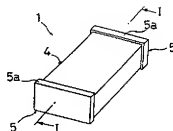
図において、1は積層型パスタ、2はセラミクス層、3は他の内部電極、3'、8は最上部、最下部（最外層）の内部電極、3a、8aは内部電極の一端面、3bは他端面、3c、8bは最上部及び最下部の内部電極の他端面、4は焼結体（積層体）、4a、4bは焼結体の左、右端面、5は外部電極、Tはギャップ、tは最上部及び最下部の内部電極のギャップである。

特許出願人 株式会社 村田製作所
代理人 弁理士 下市 男

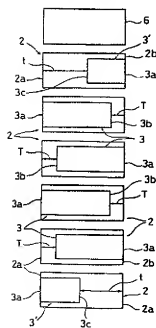
第1図



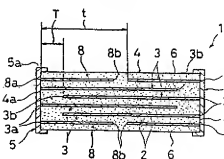
第2図



第3図



第4図



第5図

